

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/21 (08-03)

Approved for use through 08/30/2003, OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

		Application Number	10/708,638
		Filing Date	03/17/2004
		First Named Inventor	Chi-Yang Lin
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	3	Attorney Docket Number	VIAP0101USA

ENCLOSURES (Check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____ <input type="checkbox"/> Remarks	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please Identify below):
--	--	--

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Winston Hsu, Reg. No.: 41,526	
Signature		
Date	4/17/2004	

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name		
Signature	Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT	(\$) 0.00
--------------------------------	------------------

Complete if Known

Application Number	10/708,638
Filing Date	03/17/2004
First Named Inventor	Chi-Yang Lin
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0101USA

METHOD OF PAYMENT (check all that apply)

Check Credit card Money Order Other None

 Deposit Account:

50-0801

Deposit Account Name
North America International Patent Office

The Director is authorized to: (check all that apply)

Charge fee(s) indicated below Credit any overpayments
 Charge any additional fee(s) or any underpayment of fee(s)
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION**1. BASIC FILING FEE**

Large Entity	Small Entity	Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee			
1002 340	2002 170	Design filing fee			
1003 530	2003 265	Plant filing fee			
1004 770	2004 385	Reissue filing fee			
1005 160	2005 80	Provisional filing fee			
SUBTOTAL (1)		(\$) 0.00			

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Independent Claims	Multiple Dependent	Extra Claims	Fee from below	Fee Paid
			-20** =	X	=
			-3** =	X	=

Large Entity	Small Entity	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent
SUBTOTAL (2)		(\$) 0.00

**or number previously paid, if greater; For Reissues, see above

3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	0.00
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) **(\$)** 0.00**SUBMITTED BY**

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature				Date	4/17/2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

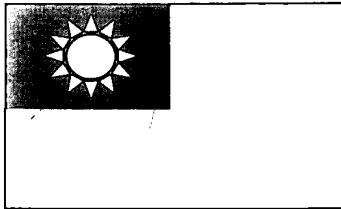
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 08 月 13 日
Application Date

申 請 案 號：092122249
Application No.

申 請 人：威盛電子股份有限公司
Applicant(s)

局 長

Director General

蔡 繼 生



發文日期：西元 2003 年 10 月 9 日
Issue Date

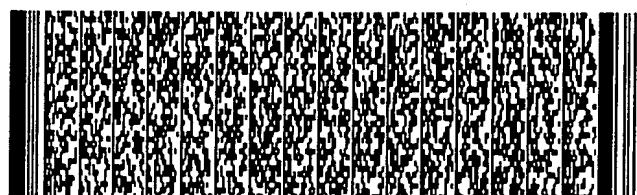
發文字號：09221018520
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	依據螢幕之輸入阻抗校正顯示驅動電壓之顯示控制電路及方法
	英文	DISPLAY CONTROLLER AND RELATED METHOD FOR CALIBRATING DISPLAY DRIVING VOLTAGES ACCORDING TO INPUT RESISTANCE OF A MONITOR
二、 發明人 (共2人)	姓名 (中文)	1. 林繼揚
	姓名 (英文)	1. Lin, Chi-Yang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓名 (英文)	1. VIA TECHNOLOGIES, INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Wang, Hsueh-Hung

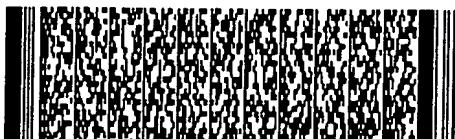


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共2人)	姓名 (中文)	2. 陳志平
	姓名 (英文)	2. Chen, Peter
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：依據螢幕之輸入阻抗校正顯示驅動電壓之顯示控制電路及方法)

一種顯示控制電路包含有一轉換電路用來將一顯示資料轉換為一顯示驅動電壓。該轉換電路包含一電流鏡電路用來依據參考電流，將顯示資料轉換成與參考電流具有電流比率之輸出電流，而輸出電流傳送到螢幕，產生對應顯示驅動電壓，以及一電壓校正電路用來依據顯示驅動電壓及一預定顯示驅動電壓修正電流比率，以調整輸出電流，使顯示驅動電壓趨近預定顯示驅動電壓。

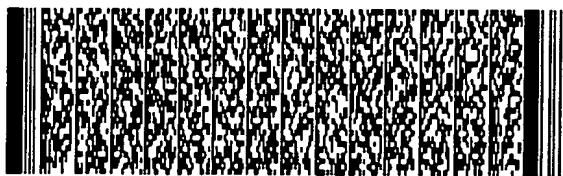
五、(一)、本案代表圖為：第 3 圖

(二)、本案代表圖之元件代表符號簡單說明

66 數位 / 類比轉換電路	68 電壓校正電路
74、90 運算放大器	75、86 電阻
76 電流比率控制電路	78 狀態機
82、83a、83b、83c、84、85 電晶體	

六、英文發明摘要 (發明名稱：DISPLAY CONTROLLER AND RELATED METHOD FOR CALIBRATING DISPLAY DRIVING VOLTAGES ACCORDING TO INPUT RESISTANCE OF A MONITOR)

A display controller and a related method for calibrating display driving voltages according to input resistance of a monitor. The display controller has a random access memory digital-to-analog converter (RAMDAC) for converting a display data into a corresponding display driving voltage. The RAMDAC has a current mirror circuit for converting the display data to an output

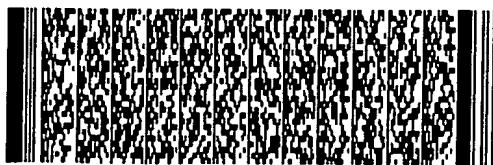


四、中文發明摘要 (發明名稱：依據螢幕之輸入阻抗校正顯示驅動電壓之顯示控制電路及方法)

代表化學式

六、英文發明摘要 (發明名稱：DISPLAY CONTROLLER AND RELATED METHOD FOR CALIBRATING DISPLAY DRIVING VOLTAGES ACCORDING TO INPUT RESISTANCE OF A MONITOR)

current in proportion to a reference current according to a mirror ratio, and a voltage calibration circuit for adjusting the mirror ratio according to the display driving voltage and a predetermined display driving voltage to make the display driving voltage approach the predetermined display driving voltage with an adjustment of the output current.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種顯示控制電路，尤指一種可依據螢幕之輸入阻抗校正顯示驅動電壓之顯示控制電路。

先前技術

請參閱圖一為習知電腦系統 10 的功能方塊示意圖。其包含有一中央處理器 (CPU) 12，一北橋電路 14，一系統記憶體 16，一顯示控制電路 18，以及一螢幕 20。中央處理器 12 用來控制電腦系統 10 的運作，北橋電路 14 用來協調系統記憶體 16、顯示控制電路 18 以及中央處理器 12 之間的訊號傳輸，系統記憶體 16 用來儲存中央處理器 12 的運算資料，而顯示控制電路 18 則用來輸出影像訊號以驅動螢幕 20 顯示畫面。顯示控制電路 18 包含有一顯示晶片 22，一顯示記憶體 24，以及一數位 / 類比轉換電路 26，此外，顯示記憶體 24 中的包括一運算資料暫存區塊 28 以及一影像資料暫存區塊 30。顯示晶片 22 可執行 2D 及 3D 圖形運算，並儲存於資料暫存區塊 28，且將對應螢幕 20 上每一像素 (pixel) 的顯示資料 (對應像素的灰階值 (gray level)) 記錄於影像資料暫存區塊 30，然後，數位 / 類比轉換電路 26 便將影像資料暫存區塊 30 內顯示資料 (數位訊號) 轉換為相對應顯示驅動電壓 (類比訊號)，並輸出至螢幕 20 來顯示。



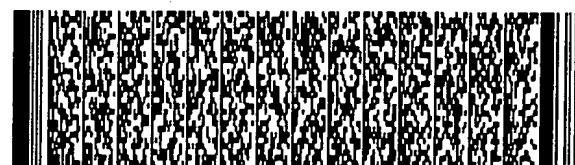
五、發明說明 (2)

以陰極射線管 (cathode ray tube, CRT) 螢幕來說，顯示控制電路 18 的製造，係依據螢幕的標準輸入阻抗 75 歐姆，來設定顯示資料 (數位訊號) 與顯示驅動電壓 (類比訊號) 之間的轉換關係，因此當同一顯示控制電路 18 用來驅動不同的螢幕 20 時，由於不同的螢幕 20 可能具有的輸入阻抗為 $(75 \pm \Delta R)$ 歐姆，因此造成同一顯示資料於不同的螢幕 20 上輸出不同亮度的影像畫面，因此造成顯示品質不佳。

發明內容

因此本發明的主要目的在於提供一種可依據螢幕之輸入阻抗校正顯示驅動電壓之顯示控制電路，使螢幕所顯示的影像畫面具有一致的顯示品質。

本發明之申請專利範圍提供一種顯示控制電路，適用在
一螢幕上，包含：一顯示晶片，傳送一顯示資料；以及
一轉換電路，將該顯示資料轉換為一顯示驅動電壓，該
轉換電路包含有：一電流鏡電路，依據一參考電流及一輸出
顯示資料，產生與該參考電流具有一電流比率之該顯示驅動
電流，該輸出電流傳送到該螢幕，產生對應該顯示驅動電壓及一
預定顯示驅動電壓，修正該電流比率，以調整該輸出電



五、發明說明 (3)

流，使該顯示驅動電壓趨近該預定顯示驅動電壓。

本發明之申請專利範圍另提供一種校正一顯示驅動電壓之方法，其包含有：依據一參考電流，使一顯示資料轉換成與該參考電流具有電流比率之一輸出電流，該輸出電流並產生對應該顯示驅動電壓；以及比較該顯示驅動電壓及一預定顯示驅動電壓後，修正該電流比率，以調整該輸出電流，使該顯示驅動電壓趨近該預定顯示驅動電壓。

實施方式

請參閱圖二為本發明電腦系統 50 的功能方塊示意圖。其與第一圖相同之處在此不再重複說明，其中與第一圖最大對不同之處在數位 / 類比轉換電路 66 中設置有一電壓校正電路 (voltage calibration circuit) 68。而電壓校正電路 68 經依據螢幕 60 的輸入阻抗來校正該顯示驅動電壓，並輸出校正後之顯示驅動電壓至螢幕 60，以驅動螢幕 60 上的像素輸出的畫面。

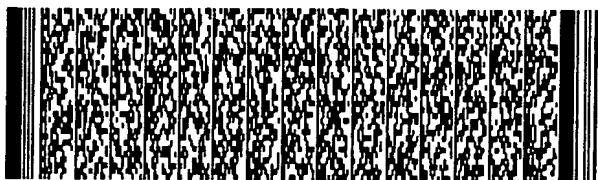
請參閱圖三為圖二所示之數位 / 類比轉換電路 66 的電路示意圖。數位 / 類比轉換電路 66 經使用電流鏡 (current mirror) 架構來產生輸出電流 I_{out} 。運算放大器 (operational amplifier, OP) 74 用來作為一緩衝器



五、發明說明 (4)

(buffer)，端點 A的電壓準位為一參考電壓 V_{ref} ，流經電阻 75的參考電流 I_{ref} 為 $(V_{ref}/R1)$ ，由於參考電壓 V_{ref} 與電阻值為 $R1$ 係為定值，參考電流 I_{ref} 可視為一電流源。當電流比率控制電路 76未啟動，端點 A可視為直接連接於端點 B。電晶體 82與電晶體 83a之間形成一電流鏡的架構，即電晶體 82、83a構成之兩電流路徑所傳導之電流間對應一比例關係；同樣地，電晶體 82與電晶體 83b形成一電流鏡架構，以及電晶體 82與電晶體 83c形成一電流鏡架構，實際上可有 n 個電晶體與電晶體 82以電流鏡方式產生複數個鏡電流 I_{n-1} 、 I_{n-2} …、 I_0 。假設電晶體 83a之通道寬度 /長度比 (W/L ratio) 為電晶體 82之通道寬度 /長度比的 $2^{n-1} \times L$ 倍，鏡電流 I_{n-1} 即等於 $2^{n-1} \times L \times I_{ref}$ ，電晶體 83b之通道寬度 /長度比係為電晶體 82之通道寬度 /長度比的 $2^{n-2} \times L$ 倍，鏡電流 I_{n-2} 即等於 $2^{n-2} \times L \times I_{ref}$ ，電晶體 83c之通道寬度 /長度比即為電晶體 82之通道寬度 /長度比的 $2^0 \times L$ 倍，鏡電流 I_0 即等於 $2^0 \times L \times I_{ref}$ 。

此外，開關單元 SW_{n-1} 、 SW_{n-2} 、…、 SW_0 係用來控制輸出電流 I_{out} 的大小，以開關單元 SW_{n-1} 為例，其包含有兩電晶體 84、85之閘極 (gate) 分別連接於互為反相之電壓準位，當開關單元 SW_{n-1} 之電晶體 85導通時，鏡電流 I_{n-1} 便可傳輸至數位 /類比轉換電路 66之輸出端（亦即端點 C）。顯示資料的位元長度為 n ，且由資料位元 D_{n-1} 、 D_{n-2} 、…、 D_0 所構成，其中資料位元 D_{n-1} 、 D_{n-2} 、…、 D_0 用以

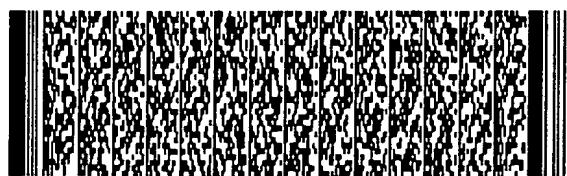


五、發明說明 (5)

控制鏡電流 I_{n-1} 、 I_{n-2} 、……、 I_0 是否可輸出至端點 C (輸出端)，所以輸出電流 I_{out} 以下列方程式 (1) 表示：

$$I_{out} = I_{n-1} + I_{n-2} + \dots + I_0 = 2^{n-1} * L * I_{ref} * D_{n-1} + 2^{n-2} * L * I_{ref} * D_{n-2} + \dots + 2^0 * L * I_{ref} * D_0 \quad \text{方程式 (1)}$$

若顯示資料以 8 位元來表示 256 種不同的灰階值 0~255，其中 "0000000" 對應灰階值 0，而 "11111111" 對應灰階值 255，當對應灰階值 255 時，資料位元 D_{n-1} 、 D_{n-2} 、……、 D_0 均對應邏輯值 "1"，各開關單元 SW_{n-1} 、 SW_{n-2} 、……、 SW_0 均會傳輸鏡電流 I_{n-1} 、 I_{n-2} 、……、 I_0 至端點 C，亦即輸出電流 I_{out} 為所有鏡電流 I_{n-1} 、 I_{n-2} 、……、 I_0 的總和，因此 $I_{out} = (2^7 + 2^6 + 2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 2^0) * L * I_{ref} = 255 * L * I_{ref}$ 。當灰階值 0 時，資料位元 D_{n-1} 、 D_{n-2} 、……、 D_0 均對應邏輯值 "0"，各開關單元 SW_{n-1} 、 SW_{n-2} 、……、 SW_0 均將鏡電流 I_{n-1} 、 I_{n-2} 、……、 I_0 導入接地端 Gnd，不會傳輸鏡電流 I_{n-1} 、 I_{n-2} 、……、 I_0 至端點 C，所以輸出電流 I_{out} 的電流值為 0，而依據方程式 (1) 可知 $I_{out} = 0 * I_{ref} = 0$ 。如圖三所示，端點 C 經由電阻 86 而連接至接地端 Gnd，因此電阻 86 為螢幕 60 的等效輸入阻抗，端點 C 的電壓準位即為數位 / 類比轉換電路 66 轉換顯示資料所產生的顯示驅動電壓，所以若電阻 86 的電阻值為 R_2 ，則該顯示驅動電壓即為輸出電流 I_{out} 與電阻值 R_2 的乘積。



五、發明說明 (6)

請參閱圖四為圖三之電流比率控制電路 76的電路示意圖。其包含有複數個電流比率設定單元 88a、88b、88c (在此僅顯示三個)。當電流比率控制電路 76啟動後，電流比率設定單元 88a、88b、88c作為分流電路以調節實際流過電晶體 82的電流 I_{ref}' ，由於參考電流 I_{ref} 可視為一電流源，所以當越多分流電路啟動時，電流 I_{ref}' 的電流值相對地越小。以電流比率設定單元 88a為例，其包含有電晶體 90a、91a、92a、93a，其中電晶體 90a、91a分別為一 PMOS電晶體及一 NMOS電晶體，若控制位元 C 邏輯值 "1"，電晶體 90a、91a所構成的電晶體開關會開啟，使電晶體 82、93a的閘極連接，而電晶體 92a為非導通狀態。參考電壓 V_{ref} 的適當設定可使電晶體 82進入飽和狀態 (saturation)，而電晶體 93a的汲極、源極與閘極分別電連接於電晶體 82的汲極、源極與閘極，所以電晶體 93a亦同樣地進入飽和狀態，若電晶體 93a與的通道寬度 / 長度比為電晶體 82之通道寬度 / 長度比的 K倍，則流經電晶體 82的參考電流 I_{ref}' 為 $[1/(1+K)]*I_{ref}$ ；相反地，若控制位元 C 邏輯值 "0"，電晶體 90a、91a所構成的電晶體開關並不會被開啟，同時電晶體 92a導通，造成電晶體 93a的閘極趨近高電壓準位 V_{dd} ，電晶體 93a並不會導通，所以參考電流 I_{ref}' 即會等於參考電流 I_{ref} 。

同理，對於電流比率設定單元 88b來說，若控制位元 C 對應邏輯值 "1"，且電晶體 93b的通道寬度 / 長度比設定為電



五、發明說明 (7)

晶體 82 之通道寬度 / 長度比的 2^*K 倍，流經電晶體 82 的參考電流 $I_{ref'}$ 為 $[1/(1+2^*K)] * I_{ref}$ ；相反地，若控制位元 C 邏輯值 "0"，參考電流 $I_{ref'}$ 會等於參考電流 I_{ref} 。因此，若電流比率控制電路 76 包含 m 個電流比率設定單元，而控制位元 C_0, C_1, \dots, C_{m-1} 用來控制是否調整參考電流 $I_{ref'}$ ，以及電晶體（例如電晶體 93a、93b）的通道寬度 / 長度比與電晶體 82 之通道寬度 / 長度比例關係依序為 $K * 2^T$ ($0 \leq T \leq m-1$)，亦即電晶體 93a（對應控制位元 C_0 ）的通道寬度 / 長度比係為電晶體 82 之通道寬度 / 長度比的 $K * 2^0$ 倍，電晶體 93b（對應控制位元 C_1 ）的通道寬度 / 長度比係為電晶體 82 之通道寬度 / 長度比的 $K * 2^1$ 倍，以及電晶體 93c（對應控制位元 C_{m-1} ）的通道寬度 / 長度比係為電晶體 82 之通道寬度 / 長度比的 $K * 2^{(m-1)}$ 倍，依據習知重疊原理（superposition principle）可知參考電流 $I_{ref'}$ 表示如下。

$$I_{ref'} = \frac{I_{ref}}{1 + K * C_0 + 2^1 * K * C_1 + \dots + 2^{(m-1)} * K * C_{m-1}} \quad \text{方程式 (2)}$$

當考慮電壓校正電路 68 的運作下，將方程式 (2) 之電流 $I_{ref'}$ 代入方程式 (1) 中的參考電流 I_{ref} 後，可得知本發明數位 / 類比轉換電路 66 實際操作時的輸出電流 I_{out} 表示為：

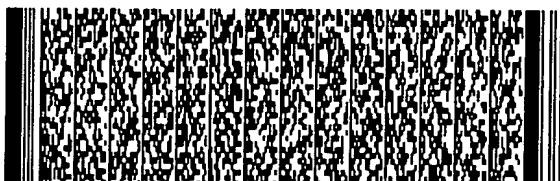


五、發明說明 (8)

$$I_{out} = (2^{n-1} * L * D_{n-1} + 2^{n-2} * L * D_{n-2} + \dots + 2^0 * L * D_0) * \frac{I_{ref}}{1 + K * C_0 + 2^1 * K * C_1 + \dots + 2^{(m-1)} * K * C_{(m-1)}} \quad \text{方程式 (3)}$$

當數位 /類比轉換電路 66讀取相同的資料位元 D_{n-1} 、 D_{n-2} 、 \dots 、 D_0 來驅動不同輸入阻抗 $R_{in}(A)$ 、 $R_{in}(B)$ 的螢幕 60時，經由控制位元 C_0 、 C_1 、 \dots 、 C_{m-1} 的適當設定可產生不同輸出電流 $I_{out}(A)$ 與 $I_{out}(B)$ ，以使輸入阻抗 $R_{in}(A)$ 與輸出電流 $I_{out}(A)$ 的乘積等於輸入阻抗 $R_{in}(B)$ 與輸出電流 $I_{out}(B)$ 的乘積，即同一顯示資料驅動不同的螢幕 60時，數位 /類比轉換電路 66會輸出相同的顯示驅動電壓。

請參閱圖五為圖三所示之狀態機 78的運作圖。狀態機 78輸出一設定值 SET至電流比率控制電路 76，設定值 SET位元長度為 m ，即由控制位元 C_0 、 C_1 、 \dots 、 C_{m-1} 所構成。狀態機 78的運作對應三種狀態 95、96、97，而各狀態 95、96、97之間的轉變則與運算放大器 76所輸出的比較結果 Comp有關。運算放大器 80比較端點 C輸出的顯示驅動電壓以及一比較電壓 V_{comp} ，若顯示驅動電壓高於 V_{comp} ，則比較結果 Comp為一高電壓準位；相反地，若顯示驅動電壓低於 V_{comp} ，則比較結果 Comp為一低電壓準位。本實施例中，比較電壓 V_{comp} 為輸入阻抗為標準值 75歐姆的螢幕時所對應的顯示驅動電壓，同時於進行校正的過程中，數位 /類比轉換電路 66會持續地依據一測試顯示資料來產



五、發明說明 (9)

生一顯示驅動電壓 V_{test} 輸出，其中顯示驅動電壓 V_{test} 等於輸出電流 I_{out} 與電阻 86的電阻值 R_2 之乘積即。若端點 C 輸出的顯示驅動電壓 V_{test} 大於比較電壓 V_{comp} 時，則表示螢幕 60的輸入阻抗（亦即電阻 86的電阻值 R_2 ）大於理想值 75歐姆，因此電壓校正電路 68 必須降低輸出電流 I_{out} 以調降顯示驅動電壓 V_{test} ；相反地，若端點 C 輸出的顯示驅動電壓 V_{test} 小於比較電壓 V_{comp} 時，則表示螢幕 60的輸入阻抗（亦即電阻 86的電阻值 R_2 ）小於理想值 75歐姆，因此電壓校正電路 68 必須增加輸出電流 I_{out} 以調升顯示驅動電壓 V_{test} 。

上述校正的操作啟動時，致能訊號 EN 啟動狀態機 78，同時初始各個控制位元 C_0 、 C_1 、……、 C_{m-1} 的邏輯值。本實施例中，設定值 SET 的最重要位元（控制位元 C_{m-1} ）會以邏輯值 "1" 來加以設定，而其餘控制位元 C_0 、 C_1 、……、 C_{m-2} 均以邏輯值 "0" 來加以設定，設定值 SET 的初始值係介於其最大值（各個控制位元 C_0 、 C_1 、……、 C_{m-1} 的邏輯值均為 "1"）與其最小值（各個控制位元 C_0 、 C_1 、……、 C_{m-1} 的邏輯值均為 "0"）之間，所以設定值 SET 可由該初始值起朝該最大值遞增或朝該最小值遞減以便達到調升與調降顯示驅動電壓 V_{test} 的目的，此外，依據方程式 (3) 可知此時輸出電流 I_{out} 的初始值如下：

$$I_{out} = (2^{n-1} + 2^{n-2} + \dots + 2^0) * L * \frac{1}{1 + 2^{(m-1)} * K} * I_{ref}$$



五、發明說明 (10)

若電阻 86的電阻值 R2小於理想值 75歐姆，輸出電流 I_{out} 的初始值流經電阻 86造成端點 C的顯示驅動電壓 V_{test} 小於比較電壓 V_{comp} ，比較結果 Comp輸出為邏輯值 "0"，狀態機 78進入狀態 95，設定值 SET會遞減 1，使控制位元 C_{m-1} 為邏輯值 "0"，其餘控制位元 C_0 、 C_1 、……、 C_{m-2} 邏輯值 "1"，依據方程式 (3)可知輸出電流 I_{out} 會增加。輸出電流 I_{out} 的電流值如下所示。

$$I_{out} = (2^{n-1} + 2^{n-2} + \dots + 2^0) * L * \frac{1}{1+K+2^1*K+\dots+2^{(m-2)*K}} * I_{ref}$$
$$= (2^{n-1} + 2^{n-2} + \dots + 2^0) * L * \frac{1}{1+(2^{(m-1)}-1)*K} * I_{ref}$$
$$> (2^{n-1} + 2^{n-2} + \dots + 2^0) * L * \frac{1}{1+2^{(m-1)*K}} * I_{ref}$$

輸出電流 I_{out} 增大，造成顯示驅動電壓 V_{test} 上升，若顯示驅動電壓 V_{test} 仍小於比較電壓 V_{comp} ，則設定值 SET 會再遞減 1以提升端點 C所輸出的輸出電流 I_{out} ，上述操作會不斷地重複進行，直到顯示驅動電壓 V_{test} 超過比較電壓 V_{comp} ，比較結果 Comp 轉為邏輯值 "1"，狀態機 78由狀態 95 轉換至另一狀態 96，並維持 (hold) 設定值 SET，亦即狀態機 78不再受比較結果 Comp 的觸發來改變設定值 SET。

另一方面，若電阻 86的電阻值 R2大於於理想值 75歐姆，

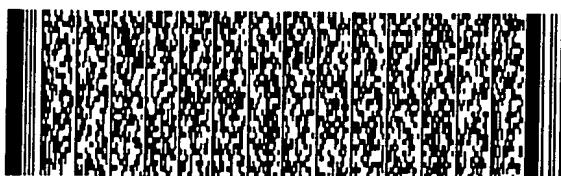


五、發明說明 (11)

輸出電流 I_{out} 的初始值流經電阻 86造成端點 C 的顯示驅動電壓 V_{test} 大於比較電壓 V_{comp} ，比較結果 Comp 對應邏輯值 "1" 狀態機 78 進入狀態 97，設定值 SET 會遞增 1，使控制位元 C_m 邏輯值 "1"，控制位元 C 亦會邏輯值 "1"，而其餘控制位元 C_1 、……、 C_{m-1} 仍邏輯值 "0"，依據方程式 (3) 可知輸出電流 I_{out} 會降低。輸出電流 I_{out} 的電流值如下所示。

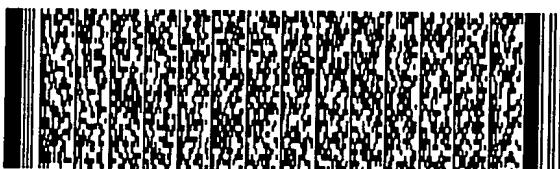
$$\begin{aligned} I_{out} &= (2^{n-1} + 2^{n-2} + \dots + 2^0) * L * \frac{1}{1+K+2^{(m-1)}*K} * I_{ref} \\ &= (2^{n-1} + 2^{n-2} + \dots + 2^0) * L * \frac{1}{1+(1+2^{(m-1)})*K} * I_{ref} \\ &< (2^{n-1} + 2^{n-2} + \dots + 2^0) * L * \frac{1}{1+2^{(m-1)}*K} * I_{ref} \end{aligned}$$

輸出電流 I_{out} 降低造成顯示驅動電壓 V_{test} 下降，若顯示驅動電壓 V_{test} 仍大於比較電壓 V_{comp} ，則設定值 SET 會再遞增 1 以降低端點 C 所輸出的輸出電流 I_{out} ，上述操作會不斷地重複進行，直到顯示比較電壓 V_{comp} 超過驅動電壓 V_{test} ，即比較結果 Comp 轉為邏輯值 "0"，狀態機 78 由狀態 97 轉換至另一狀態 96，並維持 (hold) 設定值 SET，亦即狀態機 78 不再受比較結果 Comp 的觸發來改變設定值 SET。一般而言，狀態機 78 係由複數個正反器 (flip-flop) 構成，所以當狀態機 78 進入狀態 96 時，可停止觸發正反器而達到持續設定值 SET 的目地。當數位 / 類比轉換電路 66 進行數位顯示資料與類比顯示驅動電壓的轉換



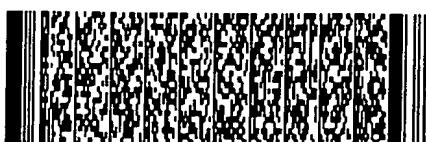
五、發明說明 (12)

操作時，設定值 SET 會控制電流比率控制電路 76 來調整不同灰階值的顯示驅動電壓。本實施例中，電流比率控制電路 76 中電流比率設定單元 88a、88b、88c 具有不同通道寬度/長度比，因此對參考電流 $I_{ref'}$ 具有不同的校正量，然亦可使用相同的通道寬度/長度比，改成啟動電流比率設定單元數目來調整參考電流 $I_{ref'}$ ，當設定值 SET 遞增時，增加電流比率設定單元啟動的數目以降低參考電流 $I_{ref'}$ ；當設定值 SET 遞減時，降低電流比率設定單元啟動的數目以提升參考電流 $I_{ref'}$ ，亦屬本發明之範疇。



五、發明說明 (13)

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知電腦系統的功能方塊示意圖。

圖二為本發明電腦系統的功能方塊示意圖。

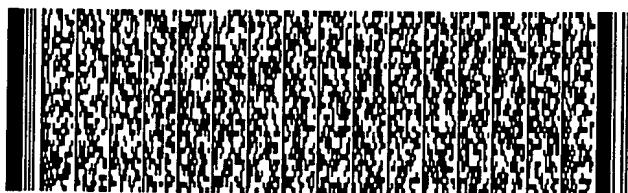
圖三為圖二所示之數位 / 類比轉換電路的電路示意圖。

圖四為圖三所示之電流比率控制電路的電路示意圖。

圖五為圖三所示之狀態機的運作示意圖。

圖式之符號說明

10、50	電腦系統	12、52	中央處理器
14、54	北橋電路	16、56	系統記憶體
18、58	顯示控制電路	20、60	螢幕
22、62	顯示晶片	24、64	顯示記憶體
26、66	數位 / 類比轉換電路		
28、70	運算資料暫存區塊		
30、72	影像資料暫存區塊		
68	電壓校正電路		
74、90	運算放大器	75、86	電阻
76	電流比率控制電路	78	狀態機
82、83a、83b、83c、84、85、90a、90b、91a、91b、92a、92b、93a、93b、93c	電晶體		
88a、88b、88c	電流比率設定單元		



六、申請專利範圍

1. 一種顯示控制電路，適用在一螢幕上，包含：

一顯示晶片，傳送一顯示資料；以及一轉換電路，將該顯示資料轉換為一顯示驅動電壓，該轉換電路包含：一電流鏡電路，依據一參考電流及該顯示資料，產生與該參考電流具有一電流比率之一輸出電流，該輸出電流傳送到該螢幕，產生對應該顯示驅動電壓；以及一電壓校正電路，依據該顯示驅動電壓及一預定顯示驅動電壓，修正該電流比率，以調整該輸出電流，使該顯示驅動電壓趨近該預定顯示驅動電壓。

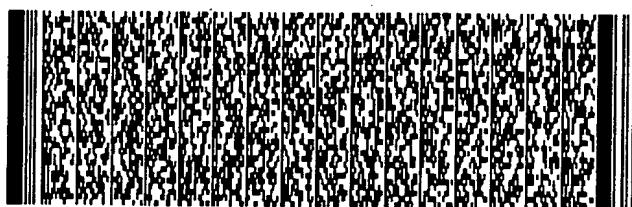
2. 如申請專利範圍第1項所述之顯示控制電路，其中該電流鏡電路包含：

一第一電流路徑，傳輸該參考電流；以及複數個第二電流路徑，連接該第一電流路徑，用來傳輸複數個鏡電流至該轉換電路之輸出端，以形成該輸出電流。

3. 如申請專利範圍第2項所述之顯示控制電路，其中該電壓校正電路包含：

一電流比率控制電路，控制該電流比率；

一比較器，比較該顯示驅動電壓與該預定顯示驅動電壓，以產生一比較結果；以及一狀態機，依據該比較結果產生一設定值至該電流比率控制電路，以修正該電流比率。



六、申請專利範圍

4. 如申請專利範圍第3項所述之顯示控制電路，若該顯示驅動電壓大於該預定顯示驅動電壓，該狀態機輸出之設定值會降低該電流比率，若該顯示驅動電壓小於該預定顯示驅動電壓，該狀態機輸出之設定值會增加該電流比率。
5. 如申請專利範圍第3項所述之顯示控制電路，該電流比率控制電路包含複數個電流比率設定單元，且該電流比率控制電路依據該設定值啟動對應一預定數目之電流比率設定單元來調整該電流比率。
6. 如申請專利範圍第5項所述之顯示控制電路，其中每一電流比率設定單元均對應同一校正量來調整該電流比率。
7. 如申請專利範圍第5項所述之顯示控制電路，其中該複數個電流比率設定單元對應複數個不同的校正量來調整該電流比率。
8. 如申請專利範圍第5項所述之顯示控制電路，其中每一電流比率設定單元與該第一電流路徑係以電流鏡方式連接。
9. 如申請專利範圍第3項所述之顯示控制電路，其中若



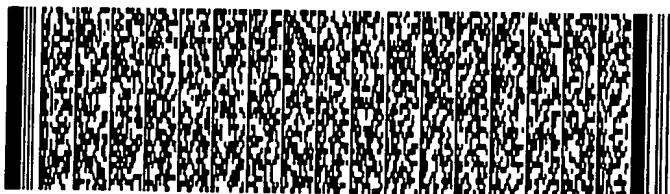
六、申請專利範圍

該比較結果對應一第一邏輯準位，則該狀態機會進入一第一操作狀態修正該設定值，以驅使該電流比率控制電路降低該電流比率，以及若該比較結果對應一第二邏輯準位，則該狀態機會進入一第二操作狀態修正該設定值，以驅使該電流比率控制電路增加該電流比率。

10. 如申請專利範圍第9項所述之顯示控制電路，其中若該狀態機處於該第一操作狀態，且該比較結果對應該第二邏輯準位，則該狀態機會由該第一操作狀態進入一第一操作狀態以維持該設定值，以及若該狀態機會處於該第二操作狀態，且該比較結果對應該第一邏輯準位，則該狀態機會由該第二操作狀態進入該第三操作狀態以維持該設定值。

11. 一種校正一顯示驅動電壓之方法，其包含有：依據一參考電流，使一顯示資料轉換成與該參考電流對應之流率，該輸出電流並產生一預定顯示驅動電壓；顯示驅動電壓有一電流比率之一輸出電流，該顯示驅動電壓後，修正該電流比率，以調整該輸出電流，使該顯示驅動電壓趨近該預定顯示驅動電壓。

12. 如申請專利範圍第11項所述校正一顯示驅動電壓之方法，其中該顯示資料轉換成與該參考電流具有一電流比率之一輸出電流，係利用一電流鏡方式，使該電流鏡



六、申請專利範圍

之一第一電流路徑上使用該參考電流，複數個第二電流路徑上所有電流構成該輸出電流。

13. 如申請專利範圍第12項所述校正一顯示驅動電壓之方法，其中比較該顯示驅動電壓及一預定顯示驅動電壓，更包括下列步驟：

產生一比較結果；以及依據該比較結果產生一設定值以修正該電流比率。

14. 如申請專利範圍第13項所述校正一顯示驅動電壓之方法，其中當該顯示驅動電壓大於該預定顯示驅動電壓時，使用該設定值以降低該電流比率，以及當該顯示驅動電壓小於該預定顯示驅動電壓時，使用該設定值以增加該電流比率。

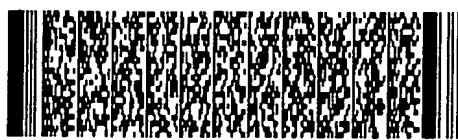
15. 如申請專利範圍第13項所述校正一顯示驅動電壓之方法，其中該顯示驅動電壓大於該預定顯示驅動電壓時，該比較結果為一第一邏輯準位時，進入一第一操作狀態，來降低該電流比率，以及當該顯示驅動電壓小於該預定顯示驅動電壓時，比較結果為一第二邏輯準位時，進入一第二操作狀態，來增加該電流比率。

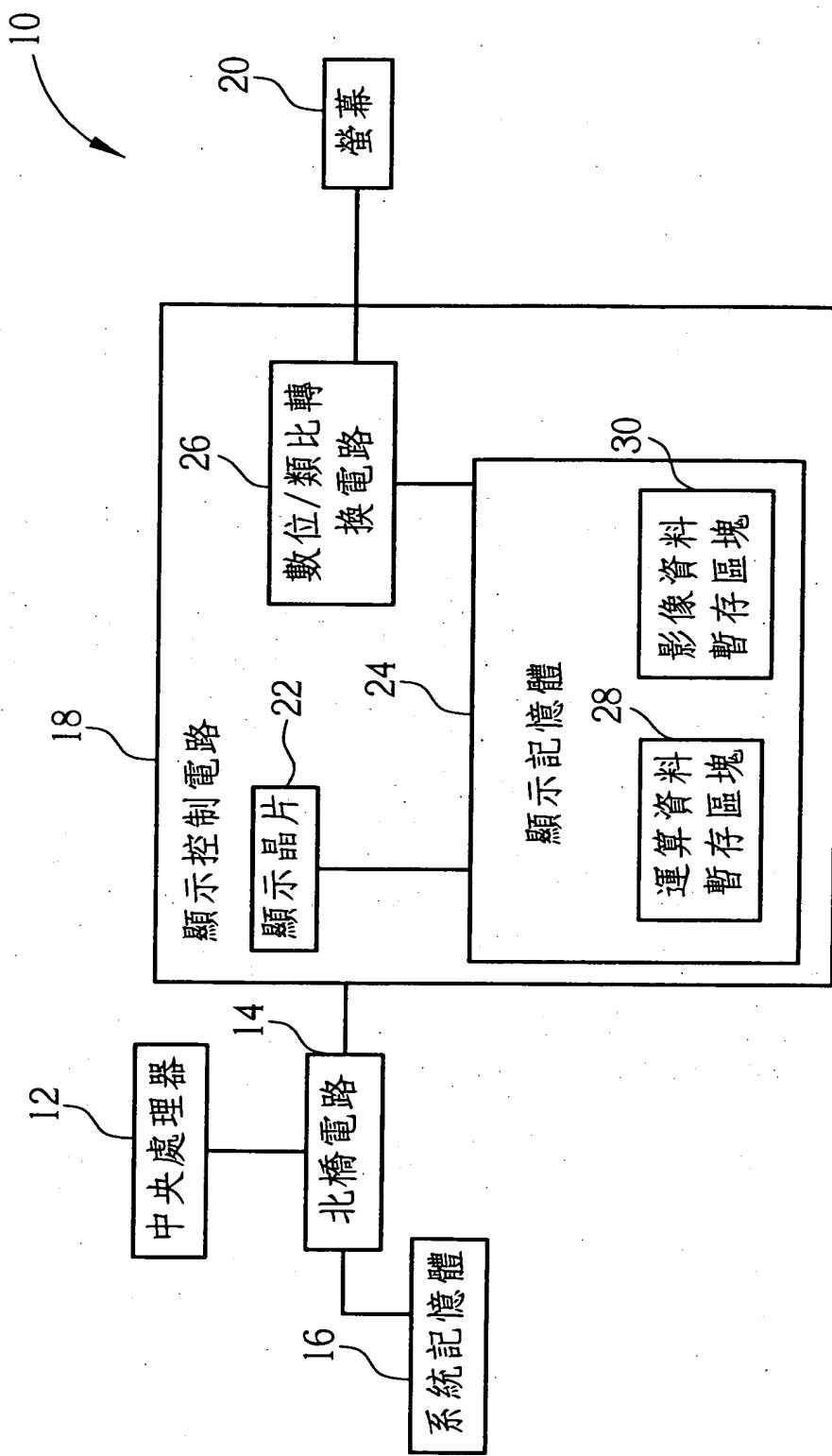
16. 如申請專利範圍第15項所述之校正一顯示驅動電壓方法，其中當處於該第一操作狀態，而該比較結果為該

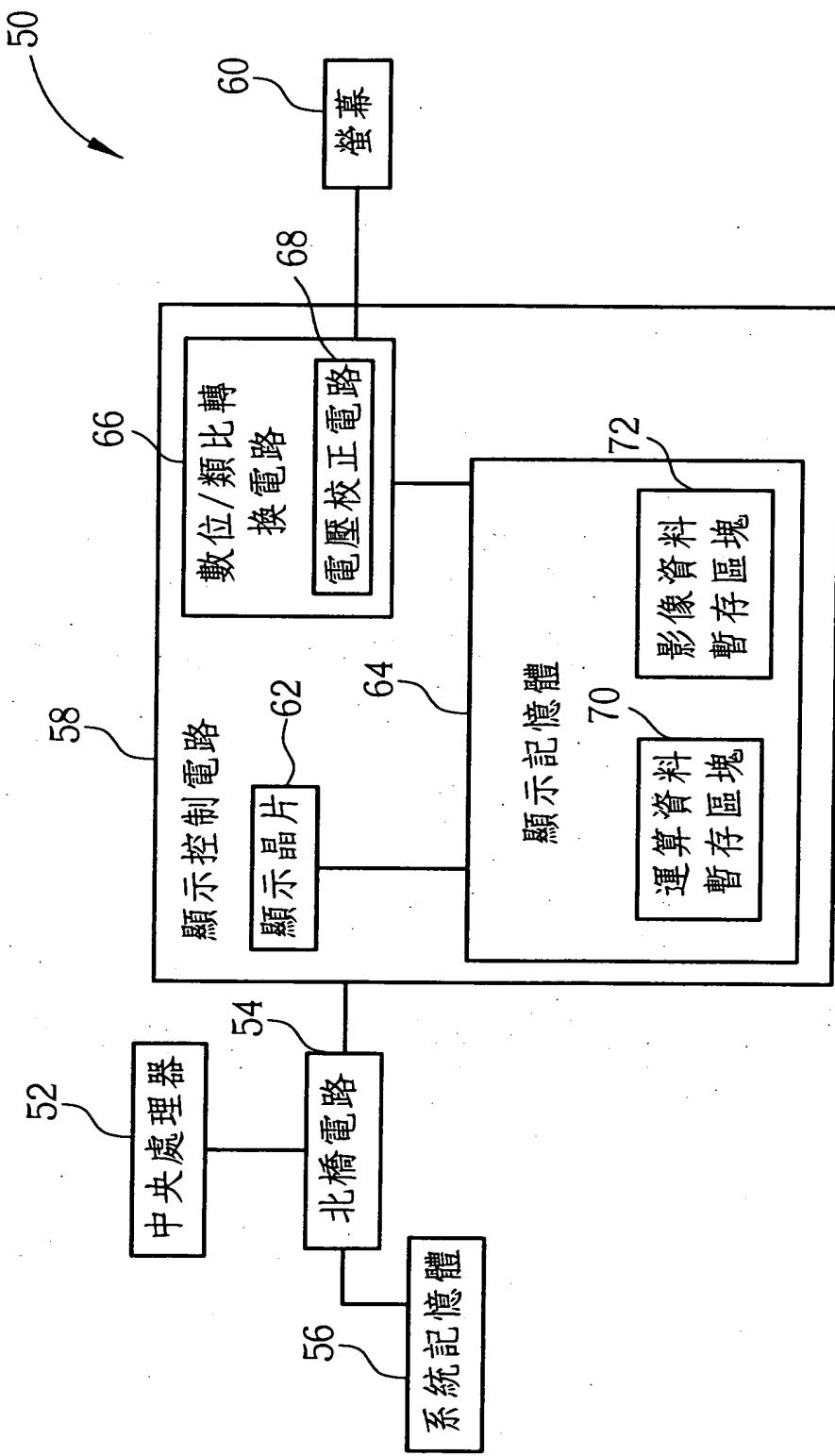


六、申請專利範圍

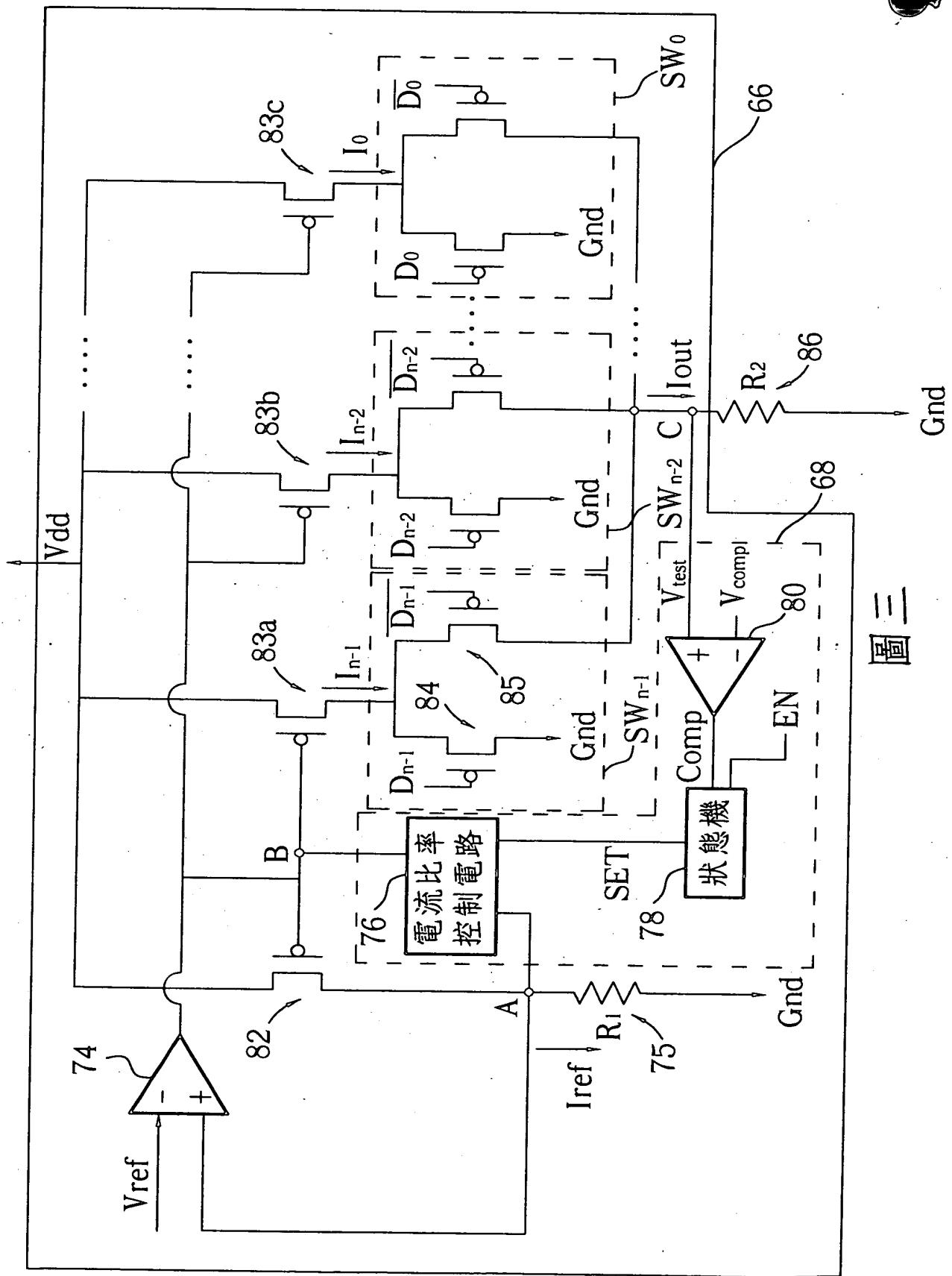
第二邏輯準位時，則由該第一操作狀態進入一第三操作狀態以維持該設定值，以及當處於該第二操作狀態，而該比較結果為該第一邏輯準位時，由該第二操作狀態進入該第三操作狀態以維持該設定值。

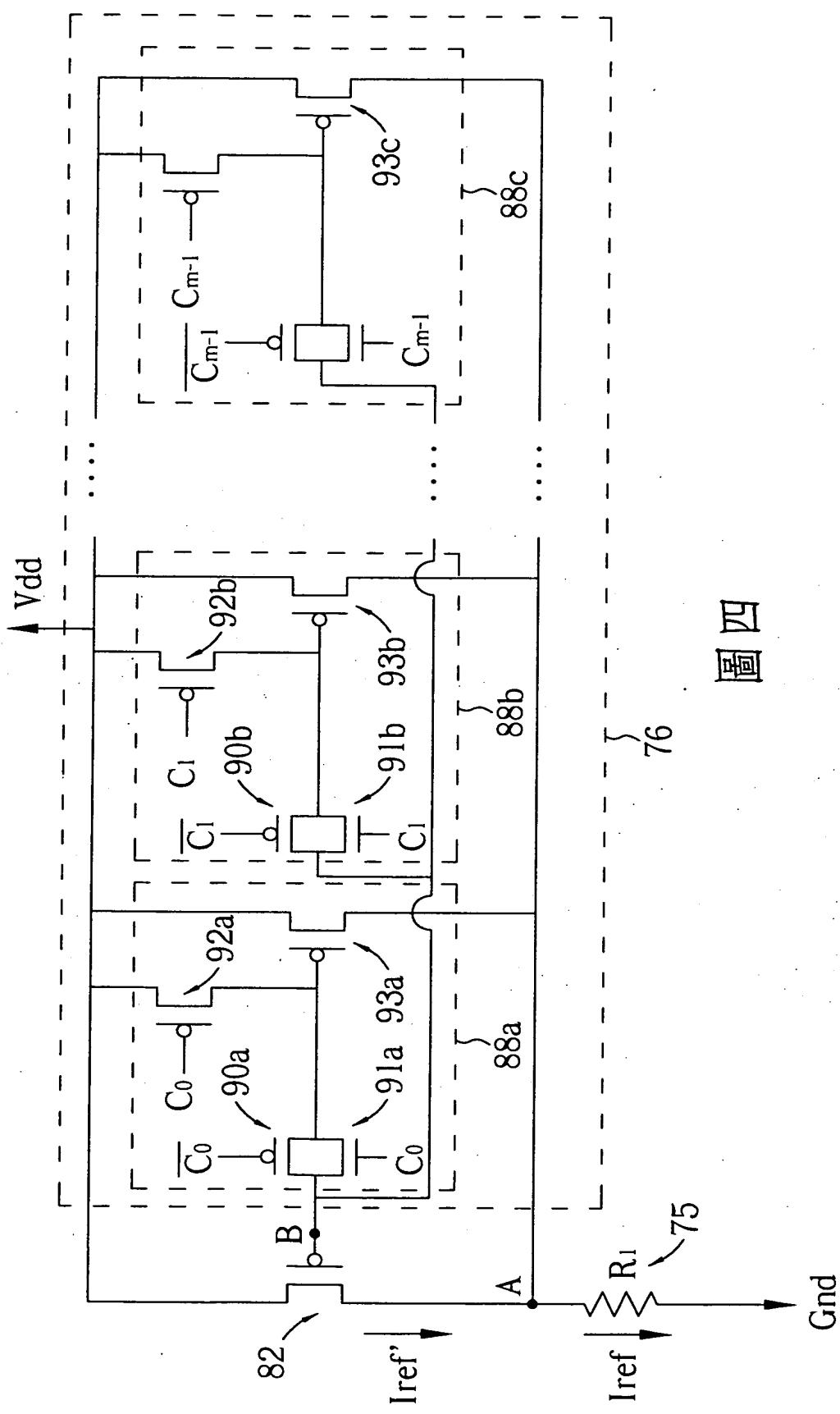






二
回

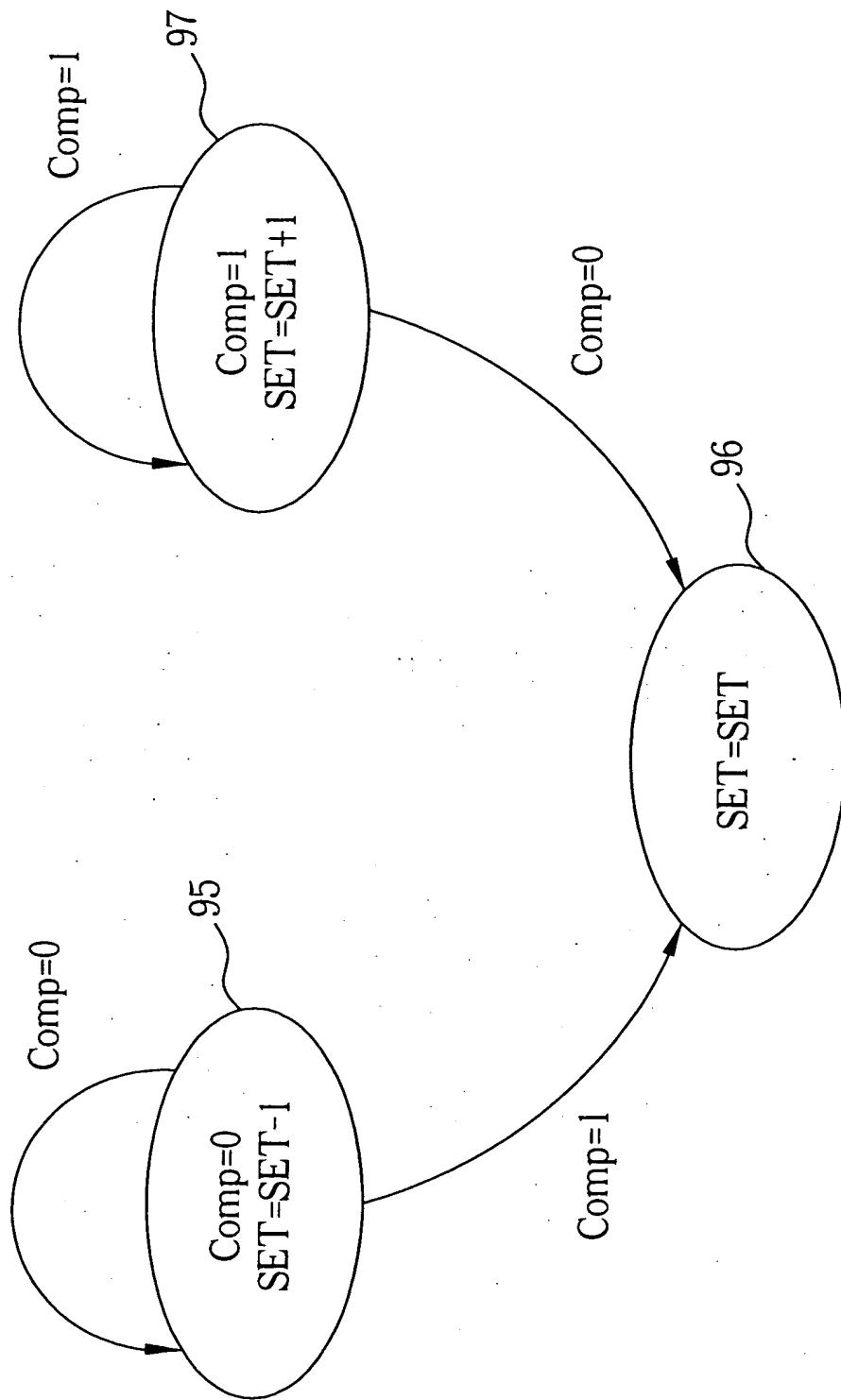




圖四

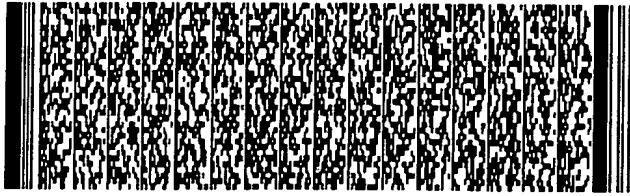
76

圖五

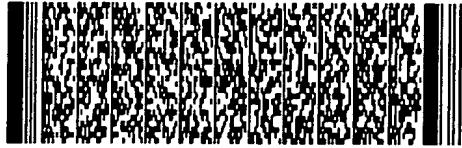


(4.5版)申請案件名稱:依據螢幕之輸入阻抗校正顯示驅動電壓之顯示控制電路及方法

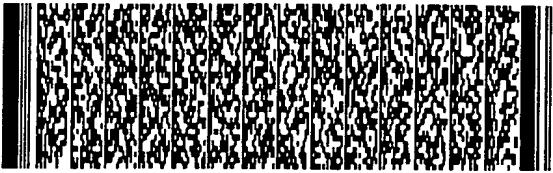
第 1/24 頁



第 2/24 頁



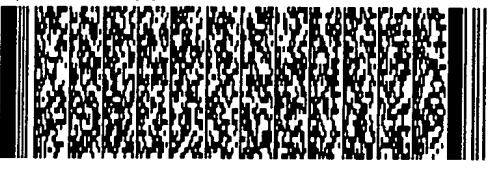
第 3/24 頁



第 3/24 頁



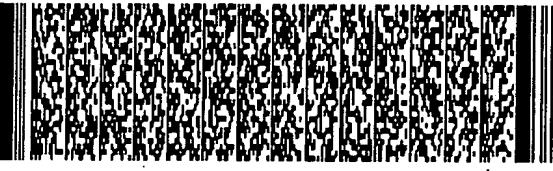
第 4/24 頁



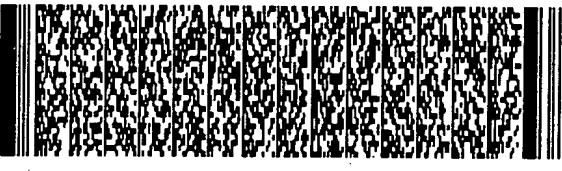
第 5/24 頁



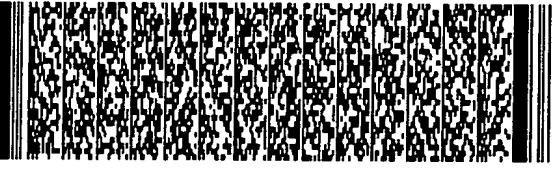
第 6/24 頁



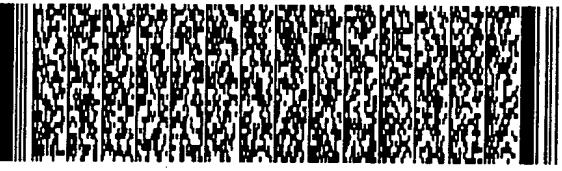
第 6/24 頁



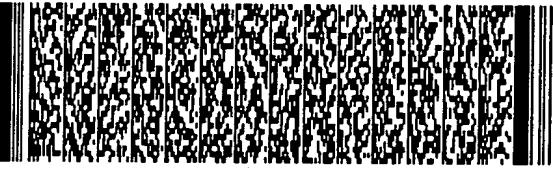
第 7/24 頁



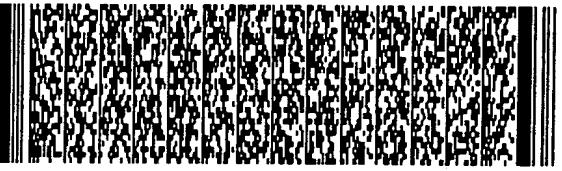
第 7/24 頁



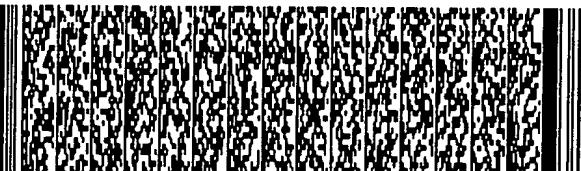
第 8/24 頁



第 8/24 頁



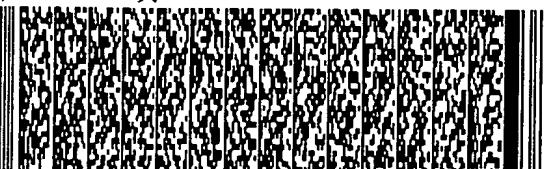
第 9/24 頁



第 9/24 頁



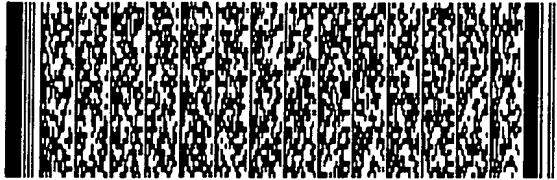
第 10/24 頁



第 10/24 頁



第 11/24 頁



第 11/24 頁



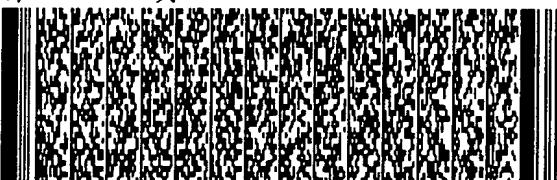
第 12/24 頁



第 12/24 頁



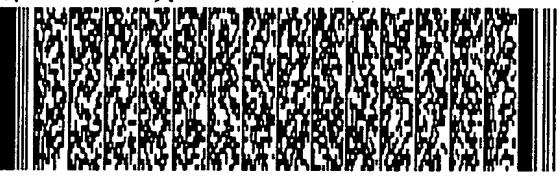
第 13/24 頁



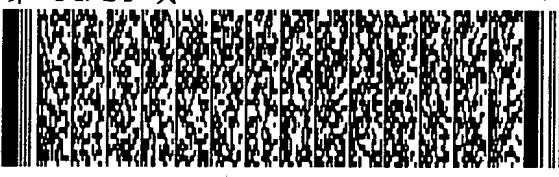
第 13/24 頁



第 14/24 頁



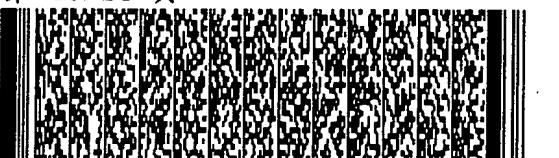
第 14/24 頁



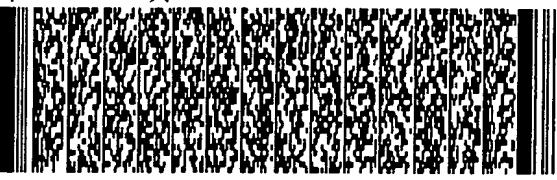
第 15/24 頁



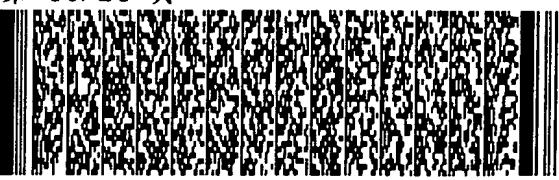
第 15/24 頁



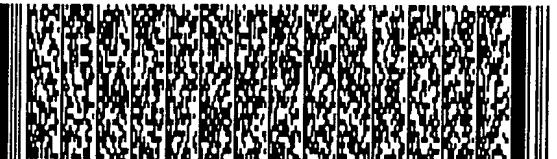
第 16/24 頁



第 16/24 頁



第 17/24 頁



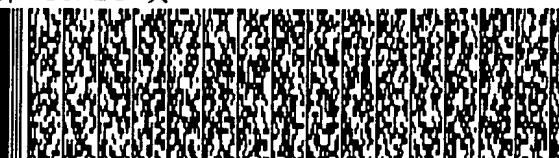
第 17/24 頁



第 18/24 頁



第 19/24 頁



(4.5版)申請案件名稱:依據螢幕之輸入阻抗校正顯示驅動電壓之顯示控制電路及
方法

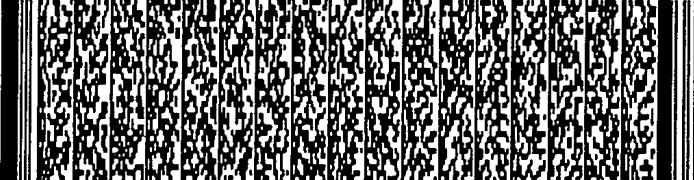
第 20/24 頁



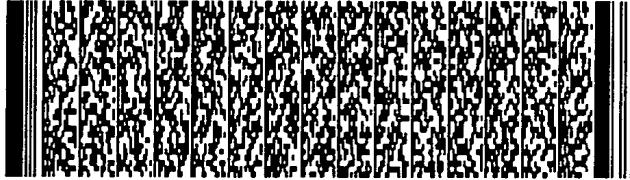
第 21/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁

